

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-281514**(43)Date of publication of application : **18.11.1988**

(51)Int.Cl. H03K 5/04

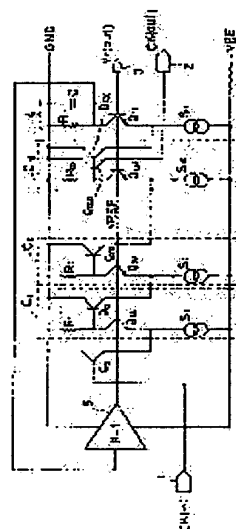
H03K 5/00

H03K 5/15

(21)Application number : **62-115945**(71)Applicant : **SONY CORP**(22)Date of filing : **14.05.1987**(72)Inventor : **EGUCHI TAKEO
TAKEKOSHI HIROBUMI****(54) NON-SATURATION TYPE LOGICAL PULSE GENERATING CIRCUIT****(57)Abstract:**

PURPOSE: To stably execute a logical action by integrating the final step pulse output of the logical gate circuit of a cascade connection and obtaining a reference bias necessary to the emitter function type logical circuit of a non-saturation type.

CONSTITUTION: Logical gates C1~C10 of a ten steps cascade connection is formed with the EFL circuit of a non-saturation type to include a pair of transistor QiA (i=1~10), QiB and a current source Si. A reference bias Vr of the about intermediate electric potential of two values to the gate and added to the base of respective elements QiA. The output of a final step Q11 of a logical gate circuit is integrated by an LPF4. When a delay time with the logical gate per step is τ a clock signal delayed with 10τ from a clock signal from an input terminal 1 can be obtained. When a non-saturation type logical gate is multi-step-connected, the duty ratio is changed by the little fluctuation or error of a reference bias value and a logical action comes to be instable, however, a pulse wave shape to be generated in a rear step is integrated, the reference bias Vr near by the duty ratio 50% is automatically set and stabilized and a secure logical action can be executed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-281514

⑬ Int.Cl.⁴

H 03 K

5/04

5/00

5/15

識別記号

庁内整理番号

7631-5J

S-7631-5J

G-6959-5J

⑭ 公開 昭和63年(1988)11月18日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 非飽和型論理パルス発生回路

⑯ 特 願 昭62-115945

⑰ 出 願 昭62(1987)5月14日

⑱ 発 明 者 江 口 武 夫 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 発 明 者 竹 腰 博 文 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉑ 代 理 人 弁理士 脇 篤 夫

明 細 出

1. 発明の名称

非飽和型論理パルス発生回路

2. 特許請求の範囲

電圧源または抵抗を介して第1の電源ラインに接続された少なくとも1以上のエミッタ入力端子と、抵抗を介して第2の電源に接続されているコレクタと、基準バイアスが供給されているベースからなる第1のトランジスタと；前記第1のトランジスタのコレクタに接続されたベースと、第2の電源に接続されたコレクタと、信号の出力端子となる少なくとも1以上のエミッタからなる第2のトランジスタ対を基本構成とした論理ゲート回路を複数個縦続接続した非飽和型論理パルス発生回路において、前記各論理ゲート回路に供給される前記基準バイアスが前記縦続接続された論理ゲート回路の後段の出力を積分した電圧によって形成されていることを特徴とする非飽和型論理パルス発生回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、非飽和型のトランジスタ回路によって論理回路を形成する際に好適な非飽和型論理パルス発生回路に関するものである。

〔発明の概要〕

本発明は、非飽和型の例えばEFL(Emitter Function Logic)回路に必要とされる基準バイアスを、縦続接続された論理ゲート回路の例えば最終段出力のパルス出力を積分することによって形成するようにしているから、各論理ゲート回路から出力される高速のパルスに対して適正なマーク・スペース率(デューティ比)を与えることができる。と同時に、この論理ゲート回路と関連する他の論理回路に対しても適正な基準バイアスを供給することができ、論理動作を安定にすることができる。

〔従来の技術〕

現在、ほとんどの論理回路はIC化され、LSIへと移行すると共に、高速化が要求されている。

一方、高速論理回路は、一般にバイポーラ型の半導体回路で形成されるが、この場合、飽和型の論理回路(DTL, TTL)等に比較して、非飽和型の論理回路(ECL, CTL)の方が動作スピードを早くすることができる。

しかしながら、非飽和型の論理回路は論理レベルを設定するために基準のバイアス電源を与える必要があり、このバイアス電源の適否が、論理動作の安定性に影響を及ぼすという問題がある。

第8図は、N個の論理ゲート回路 $C_1, C_2, C_3, \dots, C_n$ を縦続接続した一種の遅延パルス発生回路を示したもので、各論理ゲート回路 $C_1, C_2, C_3, \dots, C_n$ としては、例えば、第7図に示すようにトランジスタ T_{r1}, T_{r2} と、差動的に結合されているトランジスタ T_{ro} のエミッタを共通電流源Sに接続した非飽和型の論理回路(ECL)を使用したものである。

ないと、立上がり遅延時間 τ_1 、及び立下がり遅延時間 τ_2 の時間差が各段毎に増大することになるから、多段に接続された非飽和型の論理回路では、最初には入力された論理信号 V_{in} のパルスデューティを最終段の論理回路で保持することが困難になり、例えば、入力論理信号 V_{in} のパルスデューティが50%の場合でも、前記した基準バイアス V_r の値が温度変化や、電流電圧の変動等によって適正值からずれると、多段接続された最終段の論理回路からは論理信号が得られないという問題があった。

そこで、非飽和型の場合は、第9図に示すように論理回路として差動型の入出力端子を有する論理ゲート D_1, D_2, \dots, D_n を使用し、各段毎から遅延パルスを出力するようにしている。この回路は各段毎で遅延にともなう波形歪を相殺することができ、段数を増大させてもパルスデューティの変動を少なくすることができるが、この場合は同一極性の論理回路を形成するときに回路規模、消費電力とも2~3倍に増大することにな

そして、各論理ゲート回路の一方のトランジスタ T_{ro} に基準バイアス V_r を供給し、他方のトランジスタ T_{r1}, T_{r2}, \dots のいずれかに論理信号を入力すると、端子outまたはoutより反転または非反転論理信号が出力される。

この場合、2値の論理レベル V_H または V_L は第8図(a)に示すように前記基準バイアス V_r に対し $V_H > V_r > V_L$ に設定される。

そして、一般に入力信号 V_{in} に対して出力信号 V_{out} は第8図(b)の波形図に示すように立上がり遅延時間 τ_1 及び立下がり遅延時間 τ_2 を有し、一段あたり τ 時間遅延するので、結局、第6図の遅延パルス回路では最終段の論理ゲート回路 C_n からは、 $n \times \tau$ 時間おくれた論理パルスを得ることができる。

〔発明が解決しようとする問題点〕

しかしながら、このようなn段の縦続接続を使用した論理回路で高速のクロック信号等が入力されている場合は、基準バイアス V_r の値が適正で

り、IC回路のメリットを低下するという問題がある。

〔問題点を解決するための手段〕

本発明は、かかる問題点を解消することを目的としてなされたもので、論理回路として高速で動作し、かつ、能動素子数が少ないEFL回路(Emitter Function Logic回路)を使用する。そして、論理動作を行わせるための基準となるバイアス電源を、縦続接続された論理ゲート回路の後段の論理パルス出力を積分することによって得るようにしたものである。

〔作用〕

非飽和型の論理ゲート回路を多段に接続すると、基準のバイアス値の僅かな変動、または誤差によって論理パルスのデューティ比が変化し、論理動作が不定になるが、本発明の非飽和型の論理パルス発生回路の場合は、多段に接続された論理ゲート回路の後段で発生するパルス波形を積分す

ることによって基準のバイアス電圧を得るようにしているから、少なくとも最終の論理ゲート回路から50%に近いデューティ比となる論理パルスが生成されるような適正なバイアスが自動的に得られるという特徴がある。

また、EFL論理回路で安定に動作させることができるから、電力消費、及び能動素子数が低減し、IC化の効果が大きくなる。

(実施例)

第1図は本発明の一実施例を示す非飽和型論理パルス発生回路のブロック図、第2図は第1図のブロック図に沿ったトランジスタ回路例を示している。

これらの図において、1はクロック信号の入力端子、2は入力されたクロック信号を所定時間遅延し、論理パルスとして出力する出力端子である。

$C_1, C_2, C_3, \dots, C_{10}$ はN段の連続接続されている論理ゲート回路を示し、各論理ゲート回路

に論理ゲート回路 $C_1, C_2, C_3, \dots, C_{10}$ を多段に接続することによって入力端子1から供給されるクロック信号(約100MHz)に対して所定の時間だけ遅延したクロック信号を出力端子2から得るものであって、1段あたりの論理ゲート回路の遅延時間が τ (約4ns)であるとすれば、最終段では $\tau \times 10$ 時間の遅延時間を与えることができる。また、中間の論理ゲート回路 C_i からクロック信号 CK_i を出力すると $\tau \times i$ の遅延時間をとまなう複数のクロック信号も得ることができる。

この場合、基準バイアス V_r は、従来、電源電圧 $-V_{EE}$ を所定の定電圧回路によって V_r に変換し、供給するようにしていたが、EFL回路は、非飽和型のスイッチング動作となるため、その論理レベル差は飽和型の論理回路に比較してきわめて小さく、例えば、電源電圧5Vに対して0.4V程度である。そのため、基準バイアス V_r の僅かな変動によって、前述したように出力パルスのデューティが変化し、特に、最終段の論理ゲート

C_1, C_2, C_3, \dots は、第2図の1対のトランジスタ(Q_{1A}, Q_{1B})(Q_{2A}, Q_{2B})(Q_{3A}, Q_{3B}) \dots 及び電流源 S_1, S_2, S_3, \dots で示されるように非飽和型のEFL回路で形成されている。そして、各論理ゲート回路 $C_1, C_2, C_3, \dots, C_{10}$ には2値の論理レベル V_H 、及び V_L のほぼ中間電位に設定される基準バイアス V_r が供給され、第2図のトランジスタ回路では、この基準バイアスは第1のトランジスタ $Q_{1A}, Q_{2A}, Q_{3A}, \dots, Q_{10A}$ のベース電極に供給されている。そして、この基準バイアス V_r は端子3から他の同様な非飽和型のEFL回路に基準バイアス電圧として供給することができるようになされている。

なお、4は論理ゲート回路の最終段 Q_{11} の出力パルスを積分するローパスフィルタ回路を示し、5はバッファアンプ($G=1$)である。

ローパスフィルタ4は第2図の回路例ではトランジスタ Q_{11} のコレクタ側に接続されている時定数回路 $R_{11} \cdot C$ によって具体化されている。

この実施例の論理パルス発生回路は上述したよ

うに論理ゲート回路 $C_1, C_2, C_3, \dots, C_{10}$ を多段に接続することによって入力端子1から供給されるクロック信号(約100MHz)に対して所定の時間だけ遅延したクロック信号を出力端子2から得るものであって、1段あたりの論理ゲート回路の遅延時間が τ (約4ns)であるとすれば、最終段では $\tau \times 10$ 時間の遅延時間を与えることができる。また、中間の論理ゲート回路 C_i からクロック信号 CK_i を出力すると $\tau \times i$ の遅延時間をとまなう複数のクロック信号も得ることができる。

すなわち、この回路では入力端子1から50%のデューティからなるクロック信号が入力されたとき、基準バイアス V_r が当初0電位であると、各論理ゲート回路 C_1, C_2, C_3, \dots の第2のトランジスタ $Q_{1B}, Q_{2B}, Q_{3B}, \dots$ 及び Q_{10B} に流れる電流が減少する。すると、トランジスタ Q_{11} の電流が増大するからローパスフィルタ4を構成する抵抗 R_{11} 、コンデンサCの電位は $-V_{EF}$ 側に低下し、この電位がバッファアンプ5を介してフィードバックされ各論理ゲート回路の基準バイアス V_r を $-$ 電位側に下げる。そして、入力パルスの論理レベルに応じて増設するトランジスタ

Q₁₁の平均電流が、50%のデューティ波形となるような値に基準バイアスV_rが設定される。すると、第8図(b)に示したように各論理ゲート回路における立上がり遅れ時間 τ_1 と立下がり遅れ時間 τ_2 の差が少なくなり、結局、この両者の遅れ時間が $\tau_1 = \tau_2$ となるような基準バイアスV_rに自動的に設定される。

第3図はかかるフィードバック制御によって基準バイアスV_rが発生する経過を示したもので、入力クロック信号のパルスデューティが50%となる信号を入力したとき、当初($t=0$)では基準バイアスV_rが-0.1Vで、最終段の論理ゲート回路の出力はその論理レベルが低いレベル(約-0.4V)にはりついていたが、時間の経過と共に、基準バイアスV_rは適正な値-0.2Vに低下し、積分時定数にもよるが、約200ns後には、入力クロック信号と同じパルスデューティを有する論理パルスが得られることを示している。

(なお、 $R_1 = R_2 = R_3 \cdots R_{11} = 1\text{K}\Omega$ 、

$I_1 = I_2 = I_3 \cdots \approx 400\mu\text{A}$ 、 $C = 330\text{PF}$ とした)

上述した各論理ゲート回路C₁, C₂, C₃, ……は2個のトランジスタからなる非反転型のゲート回路とされているが、例えば実公昭52-8364号公報にみられるように第1のトランジスタQ_{1A}, Q_{2A}, Q_{3A}, ……としてマルチエミッタ型のトランジスタを使用することもでき、このマルチエミッタからの複数入力により論理飽和ゲート回路として使用することもできる。

また、エミッタホロワとされている第2のトランジスタQ_{1B}, Q_{2B}, Q_{3B}に対してマルチエミッタ型トランジスタを使用して出力端子を増加させることもできる。

また、既述接続された各論理ゲート回路が反転型であっても、N段接続したときに、入力-出力間がバッファアンプを介して負帰還となるような段数に設定されていればよい。

〔応用例〕

第4図は本発明の非飽和型論理パルス発生回路を使用したIC回路の応用例を示したもので、例えば、デジタルビデオデータ等を磁気テープに記録する際に好適なデジタル信号の伝送回路に関するものである。

第5図に示すように、一般にデジタルデータ信号DATAを磁気ヘッドに供給して再生すると、その再生信号はS(PB)に示されているような微分波形となることが知られている。この場合、図に示すように同一論理レベルが数ビット続くような長いランレングスLPの後の最初のデータには大きな波形歪が発生し、いわゆるピークシフト歪によって再生データに誤りが発生し易い。

そこで、このように長いランレングスデータの後の最初のビットデータに対しては、点線で示すように Δt だけパルスの立上がり位相を進め、再生波形の歪を少なくすることが提案されている。(特願昭55-69446号)

第4図の本応用例は、かかるピークシフト補正をデジタル回路によって行う際に好適な信号処理

回路を具体化したもので、10は前記した第1図に示す非飽和型の論理パルス発生回路、11はこの論理パルス発生回路の各論理ゲート回路C₁, C₂, C₃, ……から出力される遅延クロック信号CK₁, CK₂, CK₃, ……の中から所定のクロック信号を選択するセレクト回路、12は記録データの中に数ビット以上のランレングス符号があることを検出するランレングス長検出回路、13はランレングス長のビット数に応じて選択信号を出力するセレクト信号発生回路、14はデータ(DATA)をクロック信号のタイミングで逐次ラッチして出力するラッチ回路である。

論理パルス発生回路10に入力されているクロック信号は前述したように各論理ゲートC₁, C₂, C₃, ……において τ 時間の遅延時間が付加されるから、セレクト回路11にはクロックのタイミングが τ 時間ずれているN列のクロック信号が供給されている。そして、この論理パルス発生回路10自体は前述したように、その最終段の出力をローパスフィルタによって積分することにより、

基準バイアス V_r がバッファアンプを介して出力される。

また、この基準バイアス V_r は一点鎖線で示すように非飽和型の論理回路で構成されているランレングス検出回路12、セレクト信号発生回路13、ラッチ回路14等にも供給され、これらの回路を構成する非飽和型の論理回路に対して適正な論理レベルを設定するようにしている。

そして、通常の“0”または“1”の繰り返しのデータは、もっとも位相のおくれたクロック信号がセクタ回路11からラッチ回路14にクロック信号として供給され、そのクロック信号のタイミングでデータが出力されているが、データに所定ビット数以上のランレングスが発生すると、ランレングス長検出回路12の検出信号によって、セレクト信号発生回路13から所定の位相だけ進んだクロック信号を選択する信号が出力され、例えば、 Δt だけ位相が進んだクロック信号がセクタ回路11よりラッチ回路14に供給される。その結果、第5図の点線で示すようにランレング

ス(LP)のあとの最初のデータの論理レベルの遷移点の位相が進むように制御され、このデータが記録されることになる。

このように、データのランレングス長に応じて、最初のデータの遷移点を位相変調しながら磁気テープに記録すると、再生時にはピークシフトの軽減されたデータが再生されることになり、正確にもとのデータを再生することができるという利点がある。

(発明の効果)

以上説明したように、本発明の非飽和型論理パルス発生回路は、論理レベルを設定するために必要とされる基準バイアスを連続接続されている論理ゲート回路の後段側から出力される論理パルスを積分することによって得るようにしているから、特に非飽和型の論理回路において電源電圧の変動や温度変化等によって論理動作が不安定になることを防止することができるという効果があり、論理回路素子数が少なくなるため消費電力を

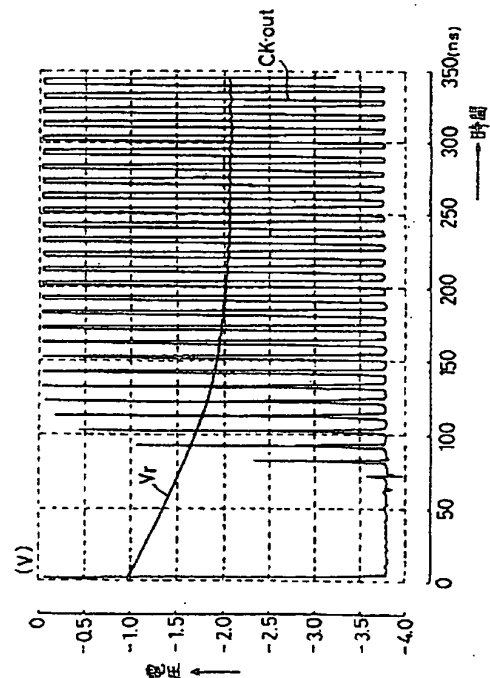
低減し、かつ、高速動作に対応できるという利点もある。

4. 図面の簡単な説明

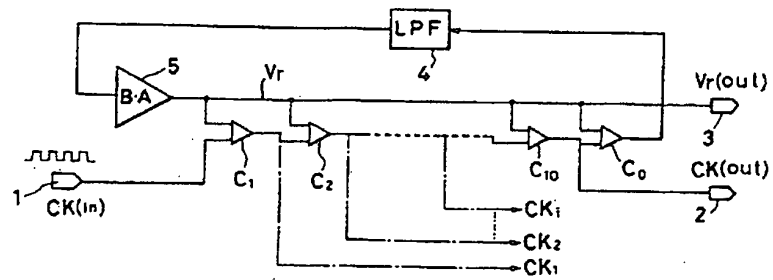
第1図は本発明の一実施例を示すブロック図、第2図は第1図の論理ゲート回路例を示す回路図、第3図は基準バイアスと出力パルスの波形図、第4図は本発明の応用例を示すブロック図、第5図はデジタルデータと記録信号波形の説明図、第6図は遅延パルス発生回路の原理図、第7図は論理ゲート回路の一例を示す回路図、第8図は出力パルスの遅延状態を示す波形図、第9図は差動型の遅延パルス発生回路図である。

図中、1は入力端子、2は出力端子、3は基準バイアス出力端子、4はローパスフィルタ、5はバッファアンプ、 C_1, C_2, \dots は論理ゲート回路を示す。

代理人 脇 篤 夫

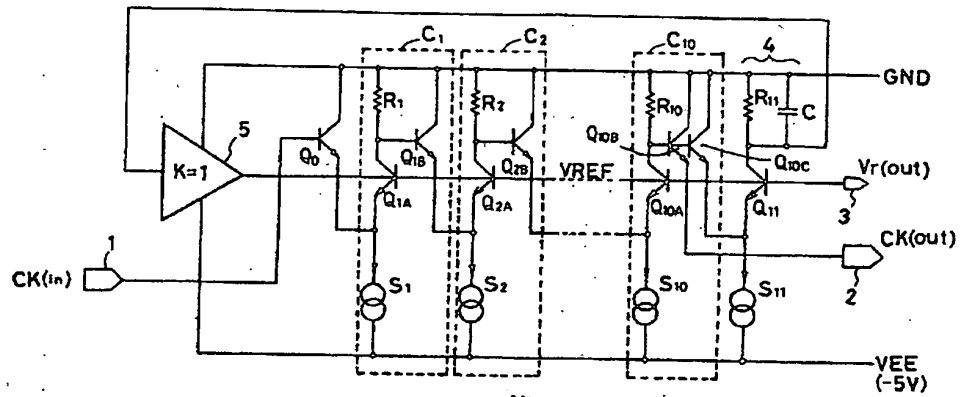


第3図

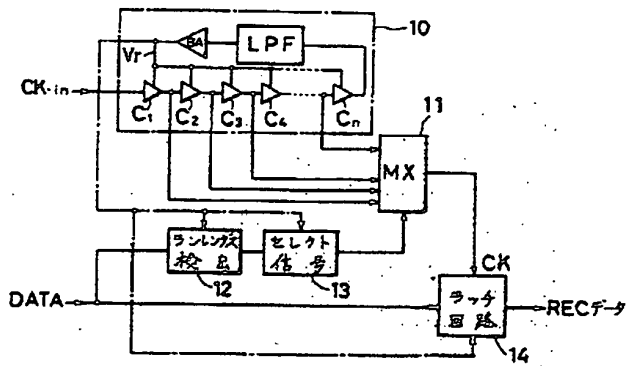


本発明の論理パルス発生回路の実施例

第 1 図

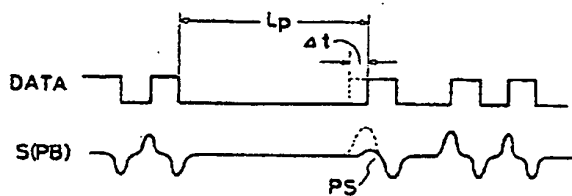


第 2 図

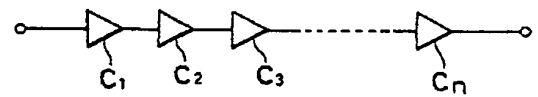


本発明の応用例を示すブロック図

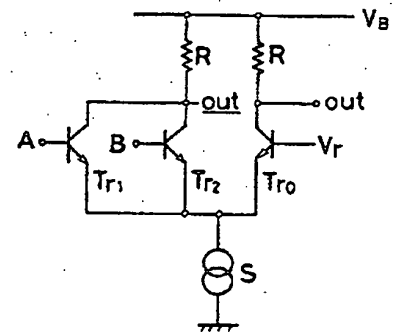
第 4 図



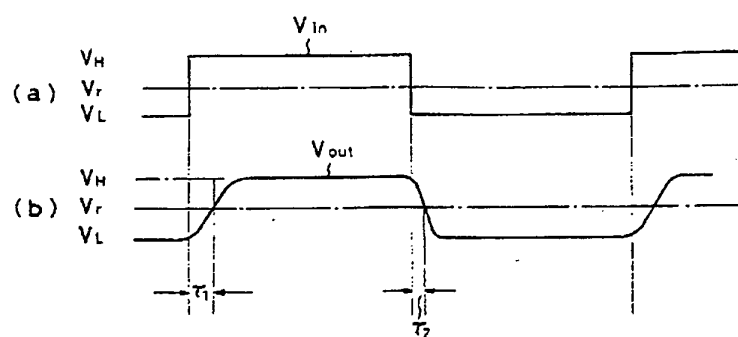
第 5 図



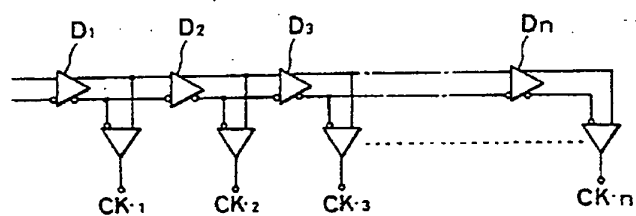
第 6 図



第 7 図



第 8 図



第 9 図